**Лабораторнаробота №4**

**Моделювання транспортної та інерційної затримок часу**

**Мета:**навчитися описувати транспортну та інерційну затримки часу за допомогою Active-HDL, з’ясувати принципові відмінності між ними.

**Теоретичні відомості:**

Затримки дозволяють вказувати проміжок модельного часу між командою на зміну сигналу і фактичним зміною сигналу, тобто дозволяють задавати час виконання різних операцій. Затримки задаються за допомогою констант типу time.

Транспортна затримка сигналу. Транспортна затримка сигналу в загальному випадку моделюєпросту затримку в передачі вхідного сигналу на чітко визначений час. Взагальному вигляді транспортна затримка може бути описана в VHDL як

X\_out <= transport X\_in after time\_value;

Інерційна затримка сигналу. Інерційна затримка дозволяє моделювати роботу елементів схеми, якіне пропускають короткі імпульси. Тобто, якщо будь-який з елементівсхеми має інерційну затримку Т (як, наприклад, логічні елементи ТАК,АБО, НІ), то вхідний сигнал буде затримуватися на час Т, однак імпульси,тривалість яких менше Т, взагалі передаватися не будуть.Загальна форма запису сигналу з інерційною затримкою має вигляд:

XI\_out <= inertial XI\_in after time\_value;

Часто в реальних електронних пристроях мінімальнатривалість імпульсів, що повинні пропускатися, менша за значенняінерційної затримки. У цих випадках форма запису даного типу затримкизміниться таким чином:

X\_out <= reject impuls\_length inertial X\_val after time\_value;

Приклад:

XI\_out <= reject 1 ns inertial XI\_in after 3 ns;

Якщо тип затримки не вказується явно, то автоматично "позамовчуванню" вибирається інерційний тип затримка сигналу.

**Завдання:**

1. Ознайомитись з матеріалом, наведеним у розділі 4.2 та 4.3 теоретичноїчастини.

2. Для свого варіанту схеми описатиоб'єкт (entity) і відповідний інтерфейс в коді VHDL.

3. Описати схему кодом VHDL з урахуванням часових затримок всіх їїелементів (для логічних елементів ТАК та АБО – 6 ns, для інвертора – 2ns).

4. Промоделювати роботу схеми для випадків: а) коли тривалість вхідного сигналу більша за інерційну затримку логічних елементів; б) колитривалість вхідного сигналу менша за інерційну затримку логічнихелементів.

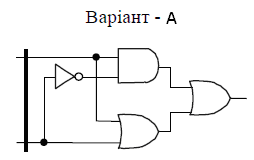
5. Порівняти отримані часові діаграми.

6. Змінити структуру програми, щоб пропускалися лише імпульси,тривалість яких складає 5 ns і більше.

7. Промоделювати роботу схеми.

8. Змінити структуру програми таким чином, щоб вхідні сигналинадходили з постійною затримкою 15 ns.

9. Промоделювати роботу схеми.



**Хід роботи:**

**Пункт 3:**

library IEEE;

use IEEE.STD\_LOGIC\_1164.all;

entity lab4 is

port(

X1 : in STD\_LOGIC;

X2 : in STD\_LOGIC;

Y : out STD\_LOGIC

);

end lab4;

architecture lab4 of lab4 is

signal A, B, C, D: STD\_LOGIC := 'U';

constant TranD: time := 15 ns;

--constant TranD: time := 5 ns;

constant GateD: time := 6 ns;

begin

Pr\_Start: process (X1, X2) is

begin

A <= transport X1 after TranD;

B <= transport X2 after TranD;

end process Pr\_Start;

C <= A and not(B) after 8 ns;

D <= A or B after GateD;

Y <= C and D after GateD;

end lab4;

**Пункт 6:**

architecture lab4 of lab4 is

signal A, B, C, D: STD\_LOGIC := 'U';

constant TranD: time := 15 ns;

constant GateD: time := 6 ns;

begin

Pr\_Start: process (X1, X2) is

begin

A <= transport X1 after TranD;

B <= transport X2 after TranD;

end process Pr\_Start;

C <= reject 5 ns inertial X1 and not(X2) after 8 ns;

D <= reject 5 ns inertial X1 or X2 after GateD;

Y <= C or D after GateD;

endlab4;

**Результат:**

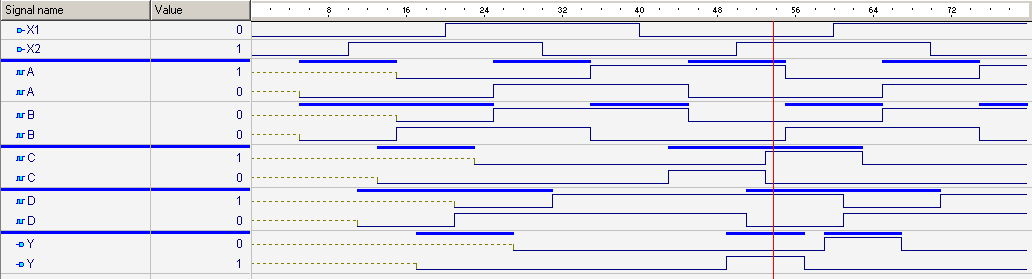


Рис. 1. Часова діаграма (пункт 5)

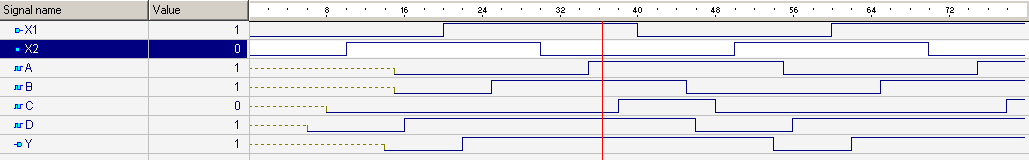


Рис. 2. Часова діаграма (пункт 7)

**Висновок.**Під час виконання лабораторної роботи я навчилась описувати транспортну та інерційну затримки часу за допомогою Active-HDL, з’ясовувати принципові відмінності між ними.